

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-177651

(43)Date of publication of application : 08.10.1984

(51)Int.Cl. G06F 9/22

G06F 7/00

G06F 7/50

G06F 15/20

(21)Application number : 58-052918 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.03.1983 (72)Inventor : HASEBE TSUNENORI

(54) SETTING SYSTEM OF PROCESSING CONDITION INFORMATION

(57)Abstract:

PURPOSE: To set a position discriminating code in a pattern processing system in a high speed by using a carry or a sign flag in status information outputted from an operating part as a data bit constituting the position discriminating code.

CONSTITUTION: A carry flag 17 indicating positive/negative or a sign flag 18 in the operation result generated from an operating part 14 is used as a data bit constituting the position discriminating code, and data bits of the position discriminating code are shifted into a shift register 21 successively, and meanwhile, output bits of the shift register 21 are shifted into a shift register 22 successively. the position discriminating code set to shift registers 21 and 22 is led to a decoder 23 to output 4 kinds of condition signal 24W27. Condition signals 24W27 are selected by a multiplexer 29 in this state,

and the signals are branched to corresponding processing routines while judging conditions in accordance with states of condition signals 24W27.

.....
LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯ 日本国特許庁 (JP)

⑰ 特許出願公開

⑫ 公開特許公報 (A)

昭59—177651

⑤ Int. Cl.³
G 06 F 9/22
7/00
7/50
15/20

識別記号

1 0 3

庁内整理番号
Z 8120—5B
7313—5B
7056—5B
7157—5B

⑬ 公開 昭和59年(1984)10月8日

発明の数 1
審査請求 未請求

(全 8 頁)

⑭ 処理条件情報設定方式

東京都府中市東芝町1番地東京
芝浦電気株式会社府中工場内

⑮ 特 願 昭58—52918

⑯ 出 願 人 株式会社東芝

⑰ 出 願 昭58(1983)3月29日

川崎市幸区堀川町72番地

⑱ 発 明 者 長谷部恒規

⑲ 代 理 人 弁理士 鈴江武彦 外 2 名

明 細 書

1. 発明の名称

処理条件情報設定方式

2. 特許請求の範囲

複数種の演算処理の各結果の正／負に相当するビットの組合せからなる2つの処理条件情報に従って後続する処理内容を決定するマイクロプログラム制御方式の処理装置において、上記演算処理を複数種実行するための特定の第1種並びに第2種演算マイクロ命令群を含むマイクロプログラムが格納されているマイクロプログラムメモリと、このマイクロプログラムメモリから読み出されるマイクロ命令に従って演算を行なうと共にその結果のステータス情報を出力する演算部と、上記マイクロ命令が上記特定の第1種または第2種演算マイクロ命令である場合に上記演算部から出力される上記ステータス情報中のキャリーまたは符号フラグをシリアル入力する第1のシリアル入力パラレル出力シフトレジスタと、上記マイクロ命令が上記特定の

第2種演算マイクロ命令である場合に上記第1のシリアル入力パラレル出力シフトレジスタの所定段の出力をシリアル入力する第2のシリアル入力パラレル出力シフトレジスタとを具備し、上記第1、第2のシリアル入力パラレル出力シフトレジスタを上記処理条件情報の設定用レジスタとしたことを特徴とする処理条件情報設定方式。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は複数種の演算処理の各結果の正／負の組合せからなる2種の処理条件情報に従って後続する処理内容を決定するものに好適する処理条件情報設定方式に関する。

〔発明の技術的背景とその問題点〕

図形処理システムにおいては、図形定義空間内の或る矩形領域(これをウィンドウと呼ぶ)内の図形を、表示領域内の或る矩形領域(これをビューポートと呼ぶ)内のみ表示することがある。これを一般にウィンドウ／ビューポ-

ト変換と呼ぶ。このとき、定義空間内の或る図形は、その一部または全部がウィンドウの外側にあり、表示されなくなる場合がある。したがって、定義されている全ての図形に対してウィンドウ内部にある部分を判別し、その部分のみ表示するようにしなければならない。この処理はクリッピングと呼ばれ、従来より一般に次のアルゴリズムを使用してソフトウェアまたはハードウェアにより実現されていた。

今、第1図に示されるようにウィンドウの境界を x_L, x_R, y_B, y_T とし、点 $P(x, y)$ について $(x-x_L, x_R-x, y-y_B, y_T-y)$ のそれぞれの符号ビット(零または正のとき"0"、負のとき"1")を求めると、上記境界で区切られた9つの領域A,B,C,D,E,F,G,H,I(領域Eがウィンドウ)内の点はそれぞれ図示の如き値のコードをもつことになる。これを位置判別コードと呼ぶ。そこで、点 $P_i(x_i, y_i)$ の位置判別コードを $C_i=(C_{i0}, C_{i1}, C_{i2}, C_{i3})$ とすると、点 $P_i(x_i, y_i)$ がウィンドウ(領域E)内に入っているか否か

は、点 $P_i(x_i, y_i)$ の位置判別コード C_i が(0000)であるか否かを調べればよい。これは点 $P_i(x_i, y_i)$ についても同様である。したがって、点 $P_i(x_i, y_i)$ と点 $P_j(x_j, y_j)$ とを結ぶ直線(線分) P_iP_j がウィンドウ内にあるか否かは、 $C_i=C_j=(0000)$ であるか否かを調べればよいことになる。すなわち、直線(線分) P_iP_j については、 $C_i=C_j=(0000)$ であるなら、当該直線(線分) P_iP_j は全体がウィンドウ内部にあるので、そのまま描画処理を行なつてよいことになる。また、 C_i と C_j のビット毎の論理積 $C_i \text{ AND } C_j=(C_{i0} \cdot C_{j0}, C_{i1} \cdot C_{j1}, C_{i2} \cdot C_{j2}, C_{i3} \cdot C_{j3})$ が(0000)でなければ、当該直線 P_iP_j は全体がウィンドウ外部にあるので表示対象から除外して次の直線の処理に移つてよいことになる。また、上記2種以外の直線、すなわち $C_i \text{ AND } C_j=(0000)$ である直線については、境界線との交点を計算するか、或いは直線を適当に分割(通常は中点で分割)して更に位置判別コードを作成し、位置判別を繰り返しながら境界線との交点を求める。

以上のように、位置判別コードは、境界線と交差しない直線(線分)を高速に求めるための判別用の処理条件情報として、クリッピング処理に有効である。一般に、この位置判別コードの生成は、ソフトウェア(マイクログラムを含む)またはハードウェアで実現されていた。第2図にソフトウェアにより点 P_i, P_j に関する2種の位置判別コードを生成する場合の手順を示す。この方式では、1つの点の位置判別コードを生成するのに、4回の減算ステップ($x-x_L, x_R-x, y-y_B, y_T-y$)、各減算ステップでの減算結果が正(零も含む)であるか否か(すなわち結果の正、負)をステータス情報に基づいて判断し、条件分岐を行なう4回の条件分岐ステップ(判断ステップ)、および当該判断結果に応じて位置判別コードの対応するビットを"0"または"1"にセットする4回のステップなど多数のステップを実行しなければならなかつた。このため、位置判別コードの生成に長時間を要し、高速表示ができない欠点があつた。これに

対し、ハードウェアで実現する方式では、高速表示は可能となるものの、第3図に示されるように多数のレジスタ $I_1 \sim I_8$ や比較器 $2_1 \sim 2_8$ が必要であり、ハードウェア量が多くなり高価となる欠点があつた。また、レジスタ $I_1 \sim I_8$ や比較器 $2_1 \sim 2_8$ のビット幅が一定であるため、座標データの精度や範囲の変更が不可能である欠点もあつた。

[発明の目的]

本発明は上記事情に鑑みてなされたもので、その目的は、図形処理システムにおける位置判別コードなど後続する処理内容を決定するのに必要な処理条件情報を、少量のハードウェアを付加するだけで高速に設定することができる処理条件情報設定方式を提供することにある。

[発明の概要]

本発明は、複数種の減算処理の各結果の正/負に相当するビットの組合せからなる2つの処理条件情報に従つて後続する処理内容を決定するマイクログラム制御方式の処理装置にお

いて、上記処理条件情報の一部を求めるための特定の第1種または第2種減算マイクロ命令の実行時に演算部から出力されるステータス情報中のキャリ-または符号フラグを当該減算マイクロ命令に応じて一方の処理条件情報設定用の第1のシリアル入力パラレル出力シフトレジスタにシリアル入力せしめ、上記特定の第2種減算マイクロ命令の実行時には更に上記第1のシリアル入力パラレル出力シフトレジスタの所定段の出力を他方の処理条件情報設定用の第2のシリアル入力パラレル出力シフトレジスタにシリアル入力せしめるようにしたもので、幾つかの減算ステップだけで処理条件情報が求められる。

〔発明の実施例〕

以下、本発明の一実施例を図面を参照して説明する。なお、本実施例は、グラフィック表示制御装置に実施した場合である。第4図において11はマイクロプログラムシーケンサ、12は各種マイクロプログラムが格納されているマ

イクロプログラムメモリ、13は実行中のマイクロ命令が保持されるマイクロ命令レジスタ(以下、MIRと称する)である。14はマイクロ命令で操作可能な演算部(マイクロプログラム演算ユニット)、15はマイクロプログラムが処理するデータが記憶されるメモリ(ロ-カルワークメモリ)である。16は演算部14の演算実行時に発生されるステータス情報が保持されるステータスレジスタである。上記ステータス情報はキャリ-フラグ17と、符号フラグ18と、これらフラグ17,18を除く例えばゼロフラグおよびオーバーフローフラグなどのフラグ群19とから成っている。

20は上記キャリ-フラグ17または符号フラグ18のいずれか一方をマイクロ命令の特定ビット(後述するフラグ選択ビットFLAG SEL)に応じて選択するマルチプレクサ、21はマルチプレクサ20の選択出力がシリアル入力される例えば4ビットのシリアル入力パラレル出力シフトレジスタ(以下、単にシフトレジスタと

称する)である。シフトレジスタ21はマイクロ命令の特定ビット(後述するシフトイネ-ブルビットSHIFT EN0)によつて制御されるようになつている。22はシフトレジスタ21の所定段、例えば第4段(この例では最終段)の出力がシリアル入力される4ビットのシフトレジスタ(シリアル入力パラレル出力シフトレジスタ)である。シフトレジスタ22はマイクロ命令の特定ビット(後述するシフトイネ-ブルビットSHIFT EN1)によつて制御されるようになつている。シフトレジスタ21,22は例えばクリッピング処理における位値判別コード C_i, C_j の設定用レジスタとして用いられる。23はシフトレジスタ21,22のパラレル出力データである位値判別コード C_i, C_j をデコードするデコ-ダである。デコ-ダ23は、 C_i, C_j の各ビットの論理値により、それぞれ $C_i=0$ であるか否か、 $C_j=0$ であるか否か、 $C_i=C_j=0$ であるか否か、 $C_i \text{ AND } C_j=0$ であるか否かを示す4種の条件信号24~27を出力するようになつている。

28は処理データによつて分岐するとき使用されるブランチベクトルレジスタ、29は条件分岐時の条件を選択するマルチプレクサである。30は演算部14、メモリ15、デコ-ダ23、ブランチベクトルレジスタ28、更にはDDA(Digital Differential Analyzer)回路、リフレッシュメモリ(いずれも図示せず)などを結合するバス(システムバス)である。なお、第4図にはCRTモニタなどの表示部も省略されている。

第5図は本実施例で適用される特定の減算マイクロ命令(以下SUB & SHIFTマイクロ命令と称する)の要部のフォーマットを示すものである。図中、Fは演算部4に対する演算指定を行なうフィールド(ファンクションフィールド、オペレーションフィールド)であり、SUB & SHIFTマイクロ命令では減算(SUB)が指定される。SHIFT EN0, SHIFT EN1はシフトイネ-ブルビットであり、当該各ビットによつてシフトレジスタ21,22のシフト動作の許可/禁止が指

定される。本実施例では、SUB & SHIFT マイクロ命令は、第1種 SUB & SHIFT マイクロ命令と第2種 SUB & SHIFT マイクロ命令との2種が用意されている。前者のマイクロ命令は、SHIFT EN0 = "1", SHIFT EN1 = "0" であり、シフトレジスタ 21 だけのシフト動作が指定される。これに対し後者のマイクロ命令は、SHIFT EN0 = SHIFT EN1 = "1" であり、シフトレジスタ 21, 22 両方のシフト動作が指定される。また、FLAG SEL はフラグ選択ビットであり、当該ビットの "0", "1" に応じてマルチプレクサ 20 が選択動作を行なう。

次に本発明の一実施例の動作を第6図(a), (b), (c)、および第7図を参照して説明する。なお、第6図(a), (b), (c)は直線(線分)の状態を示すもので、第6図(a)は各直線が分離独立している場合、第6図(b)は直線が連続している(折線の)場合、第6図(c)は複数の直線の一部が共通の場合である。また、第7図は第6図(a)に示されるように各直線が独立している場合の直線 $P_i P_j$

17 がマルチプレクサ 20 から選択出力され、シフトレジスタ 21 に導かれる。この結果、当該キャリーフラグ 17 は、第1種 SUB & SHIFT マイクロ命令中のシフトインネーブルビット SHIFT EN0 に応じ、当該命令の実行終了時に(マシクロックのタイミングで)位置判別コード C_i の第0ビット C_{i0} としてシフトレジスタ 21 にシリアル入力(シフトイン)される。このように $x - x_L$ の減算を指定する第1種 SUB & SHIFT マイクロ命令を実行することにより、 x と x_L の比較と共に、その差の符号(この例ではキャリーフラグ 17)を C_{i0} としてシフトレジスタ 21 にシリアル入力することができる(ステップ S1)。なお、 x 座標が符号付数値であるときには、符号フラグ 18 が選択されるようにフラグ選択ビット FLAG SEL を設定しておけばよい。但し減算によるオーバーフローがないものとする。ところで、本実施例では、 x と x_L の差の符号が必要だけでなく、 $x - x_L$ の値(減算結果)は必要でない。したがって、減算命令に代えて COMP(比較)

(の両端の点 P_i, P_j) の位置判別コード C_i, C_j を求めるマイクロプログラムのフローチャートである。本実施例では、A' より開始され、まず点 P_i に関する C_i のうちの C_{i0} を求めるために、 $x - x_L$ (x は点 P_i の x 座標) の実行を指定する第1種 SUB & SHIFT マイクロ命令がマイクロプログラムメモリ 12 から取り出される。このマイクロ命令は MIR 13 に保持され、そのフィールド F の情報(SUB)は演算部 14 に導かれる。これにより演算部 14 において $x - x_L$ が実行される。このとき、マルチプレクサ 20 は演算部 14 から出力されるキャリーフラグ 17 (ポロフラグ) 17 または符号フラグ 18 のいずれか一方を SUB & SHIFT マイクロ命令中のフラグ選択ビット FLAG SEL に応じて選択する。このフラグ選択ビット FLAG SEL は、 x 座標が無符号数値であるときにはキャリーフラグ 17 の選択を指定するように設定されている。今、フラグ選択ビット FLAG SEL がキャリーフラグ 17 の選択を指定しているものとする、当該キャリーフラグ

命令を用いてもよい。COMP(比較)命令は減算結果をレジスタ等にロードする必要がない点で通常の減算命令と異なるが、減算を行なう点では通常の減算命令と同様である。すなわち、本発明における特定の減算マイクロ命令は COMP(比較)命令も含むものとする。

以下、同様にして、 $x_R - x$ の減算を指定する第1種 SUB & SHIFT マイクロ命令の実行によつて、 x_R と x の比較と共に、その差の符号を位置判別コード C_{i1} としてシフトレジスタ 21 にシリアル入力することができる(ステップ S2)。このとき、ステップ S1 で入力された C_{i0} は1ビットシフトされる。同様に、次のステップ S3 では $y - y_B$ (y は点 P_j の y 座標) の減算を指定する第1種 SUB & SHIFT マイクロ命令が実行され、更に次のステップ S4 では $y_T - y$ の減算を指定する第1種 SUB & SHIFT マイクロ命令が実行される。この結果、ステップ S4 の終了時には、シフトレジスタ 21 の第4段(最終段)、第3段、第2段、第1段(初段)の各出力は4ビット

トの位置判別コード C_i のそれぞれ第0ビット C_{i0} 、第1ビット C_{i1} 、第2ビット C_{i2} 、第3ビット C_{i3} となる。すなわち4つの第1種SUB & SHIFTマイクロ命令を実行することにより、点 P_i に関する位置判別コード C_i がシフトレジスタ21に設定される。

このように点 P_i に関する位置判別コード C_i を求める処理が終了すると、点 P_i に関する位置判別コード C_j を求める処理(第7図のB'以降C'まで)が行なわれる。この処理は、上述した C_i を求める処理における x, y を点 P_i から点 P_j のそれぞれに変更した場合と同様である。但し、 C_i を求める場合と異なつて、第2種SUB & SHIFTマイクロ命令が用いられる。第2種SUB & SHIFTマイクロ命令では、そのシフトイネーブルビットSHIFT EN0, SHIFT EN1が共に"1"となつている。これによりシフトレジスタ21, 22は、いずれもシフト動作を行なう。シフトレジスタ22にシフトインされるデータビットは、シフトレジスタ21の第4段(最終段)の出力ビットで

ある。したがつて、 $x - x_L$ (x は点 P_j の x 座標)の減算を指定する第2種SUB & SHIFTマイクロ命令が実行されるステップS5、 $x_R - x$ の減算を指定する第2種SUB & SHIFTマイクロ命令が実行されるステップS6、 $y - y_B$ (y は点 P_j の y 座標)の減算を指定する第2種SUB & SHIFTマイクロ命令が実行されるステップS7、および $y_T - y$ の減算を指定する第2種SUB & SHIFTマイクロ命令が実行されるステップS8が全て終了した時点では、ステップS4の終了時にシフトレジスタ21に設定されていた4ビットの位置判別コード C_i は、シフトレジスタ22に全て移されていることになる。これに対し、シフトレジスタ21には新たに点 P_j に関する4ビットの位置判別コード C_j が設定されている。

このように本実施例によれば、 $x - x_L$ 、 $x_R - x$ 、 $y - y_B$ 、および $y_T - y$ の各減算処理の実行時に演算部から発生される減算結果の正(零も含む)/負を示すキャリーフラグ(ボロフラグ)17または符号フラグ18を、位置判別コード C_i

(C_j)を形成する $C_{i0}(C_{j0})$, $C_{i1}(C_{j1})$, $C_{i2}(C_{j2})$, $C_{i3}(C_{j3})$ として用い、かつこれらのデータビットを対応する第1種または第2種SUB & SHIFTマイクロ命令中のシフトイネーブルビットSHIFT EN0に応じてシフトレジスタ21に順次シフトインさせる一方、第2種SUB & SHIFTマイクロ命令中のシフトイネーブルビットSHIFT EN1に応じてシフトレジスタ21の第4段の出力ビットをシフトレジスタ22に順次シフトインさせるようにしたので、従来のソフトウェア処理では必要であつた減算結果の正/負の判断ステップや、当該判断ステップに続くビット設定ステップなどが不要となり、高速に位置判別コード C_i, C_j を求めることができる。

シフトレジスタ21, 22に設定された位置判別コード C_i, C_j はデコーダ23に導かれる。デコーダ23はこれら位置判別コード C_i, C_j をデコードし、 $C_i = 0$ であるか否か、 $C_j = 0$ であるか否か、 $C_i = C_j = 0$ であるか否か、 $C_i \text{ AND } C_j = 0$ であるか否かを示す4種の条件信号24~27を出

力する。このような状態で、マルチプレクサ29により各条件信号24~27を選択し、これらの条件信号24~27の状態により、第7図のフローチャートのC'以降に示される条件判断を行ないながら対応する処理ルーチンに分岐する。なお、マルチプレクサ29により条件を選択して分岐する手段に代え、次のような分岐手段を用いることもできる。これは、デコーダ23から出力される条件信号24~27をバス30を介して演算部14に読み出し、当該演算部14を用いて一旦アドレス修飾して分岐アドレスに変換した後ブランチベクトルレジスタ28にセットすることにより、直接に各条件毎の処理ルーチンに分岐するものである。

次に第6図(b)に示した如く、直線が連続している場合の位置判別コードの求め方を簡単に説明する。今、連続している直線(折線)を $P_0, P_1, P_2, P_3, \dots$ とすると、先の直線 P_0, P_1 については第7図のフローチャートに示される処理を行なう。これにより、シフトレジスタ22, 21

にはそれぞれ点 P_0, P_1 に関する位置判別コード C_0, C_1 が設定されることになる。次の直線 P_1P_2 については、点 P_1 に関する位置判別コード C_1 がシフトレジスタ 21 にすでに求められているので（これは、第 7 図のフローチャートにおいて $A' \sim B'$ までを実行した状態と同じ）、点 P_2 に関し第 7 図のフローチャートの $B' \sim C'$ を行ない、続いて C' 以降を行なえばよい。これにより、シフトレジスタ 22, 21 にはそれぞれ位置判別コード C_1, C_2 が設定される。これは、 $P_2P_3 \dots$ についても同様である。

このように直線が連続している場合には、2 番目以降の各直線について、第 7 図のフローチャートに示される $A' \sim B'$ までのステップ（ステップ $S1 \sim S4$ ）を行なうことなく、2 つの位置判別コードをシフトレジスタ 21, 22 に設定することができる。したがって、一層の高速処理が可能となる。

一方、第 6 図(c)に示した如く、1 点と複数の点とを結ぶ直線 $P_0P_1, P_0P_2, P_0P_3 \dots$ の場合の処

理は次の通りである。まず、直線 P_0P_1 については第 7 図のフローチャートに示される処理を行なう。これにより、シフトレジスタ 22, 21 にはそれぞれ点 P_0, P_1 に関する位置判別コード C_0, C_1 が設定される。 C_0, C_1 のうち、 C_0 は他の直線 P_0P_2, P_0P_3, \dots についても共通である。そこで直線 $P_0P_2, P_0P_3 \dots$ については、第 7 図のフローチャートにおいて $B' \sim C'$ までのステップ（ステップ $S5 \sim S8$ ）を省略した処理を行なえばよい。こうすることにより、シフトレジスタ 22 の内容 (C_0) を変化させずに、新しい点についてのみ位置判別コードを設定することができ、一層の高速処理が可能となる。

なお、前記実施例では、キャリーフラグまたは符号フラグのいずれか一方を選択するマルチプレクサを設け、当該マルチプレクサの選択出力を先頭のシフトレジスタに導くものとして説明したが、取り扱いデータが無符号数値または符号付数値のいずれか一方に限られるシステムにおいては、上記マルチプレクサは不要となる。この場合、演算部から出力されるキャリーフラ

グまたは符号フラグを直接に先頭のシフトレジスタに導くようにすればよい。

また、前記実施例では、シフトレジスタの構成ビット数が位置判別コードのビット数に一致しているが、位置判別コードのビット数より多くてもよい。但し、この場合には、先頭のシフトレジスタの最終段でなく第 4 段の出力ビットを後続のシフトレジスタへのシフトインデータとする必要がある。

また、第 4 図の構成において、シフトレジスタ 21（更にはシフトレジスタ 22）の平行出力をバス 30（或いはマルチプレクサ 29）に導くことにより、例えば Bresenham の DDA 回路での方向判断コードなど、1 つの処理条件情報により後続する処理内容を決定するものにも適用できる。

また、前記実施例では、本発明を図形処理における直線のクリッピングに実施した場合について説明したが、複数種の演算処理の各結果の正/負に相当するビットの組合せからなる 2 つ

の処理条件情報に従って後続する処理内容を決定するものにはすべて応用できる。

〔発明の効果〕

以上詳述したように本発明によれば、図形処理システムにおける位置判別コードなど、後続する処理内容を決定するのに必要な処理条件情報を少量のハードウェアを付加するだけで高速に設定することができる。

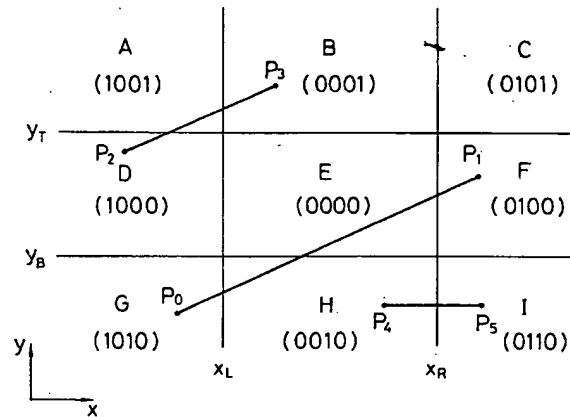
4. 図面の簡単な説明

第 1 図はウインドウ内外の領域と位置判別コードとの関係を示す図、第 2 図は位置判別コードを求めるための従来の処理ルーチンを示すフローチャート、第 3 図は従来の位置判別生成回路の構成を示すブロック図、第 4 図は本発明の一実施例に係るグラフィック表示制御装置の構成を示すブロック図、第 5 図は上記実施例で適用されるマイクロ命令のフォーマットを示す図、第 6 図は直線（線分）の各種状態を示す図、第 7 図は動作を説明するためのフローチャートである。

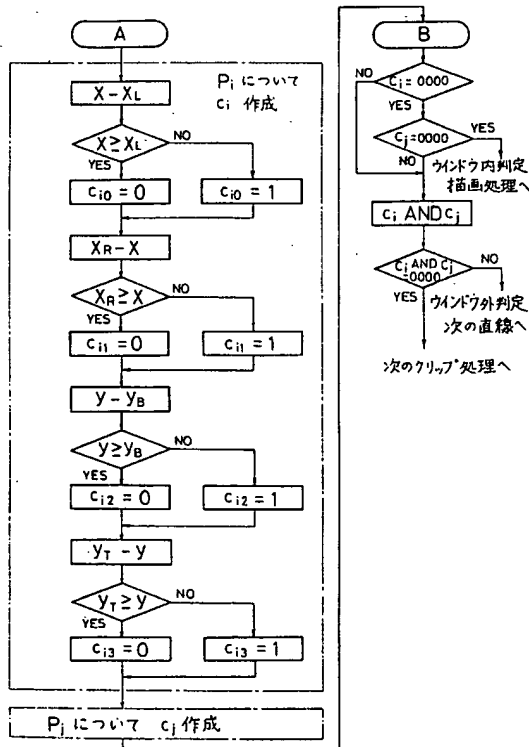
12 ... マイクロプログラムメモリ、14 ... 演算部、17 ... キャリ-フラグ、18 ... 符号フラグ、20, 29 ... マルチプレクサ、21, 22 ... シリアル入力パラレル出力シフトレジスタ、23 ... デコーダ。

出願人代理人 弁理士 鈴江武彦

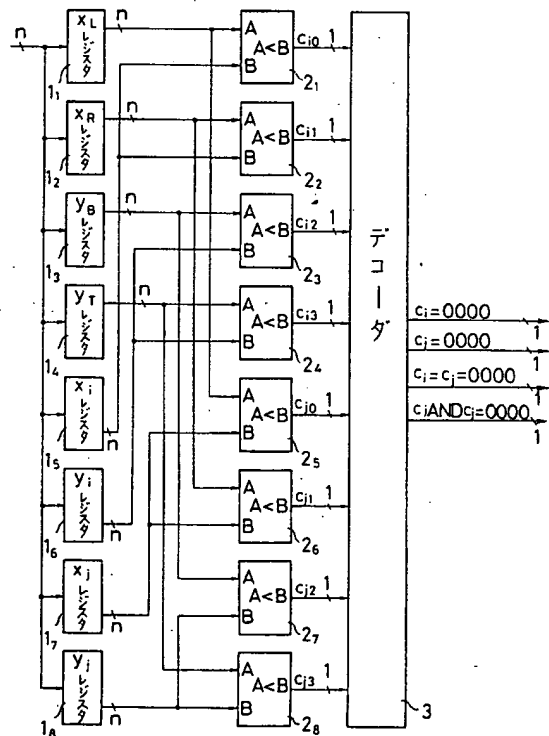
第 1 図



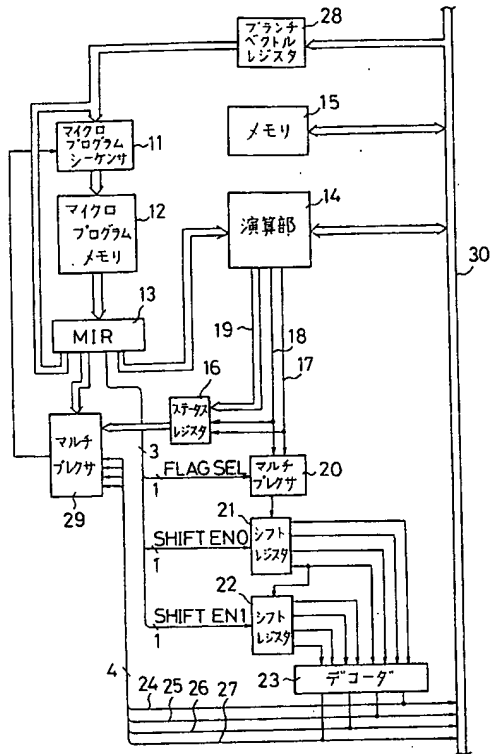
第 2 図



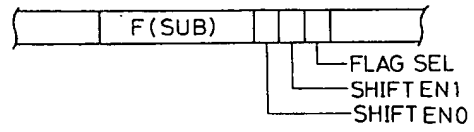
第 3 図



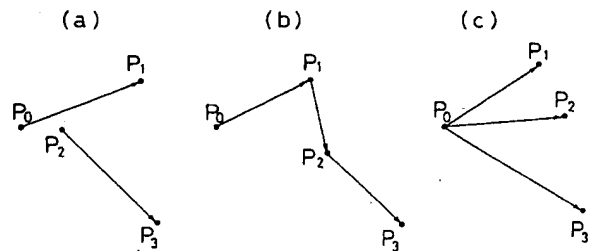
第 4 図



第 5 図



第 6 図



第 7 図

